

NEC-5084 (6)

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-210426

(43)Date of publication of application : 18.09.1986

(51)Int.Cl.

G06F 7/00

(21)Application number : 60-051264

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.03.1985

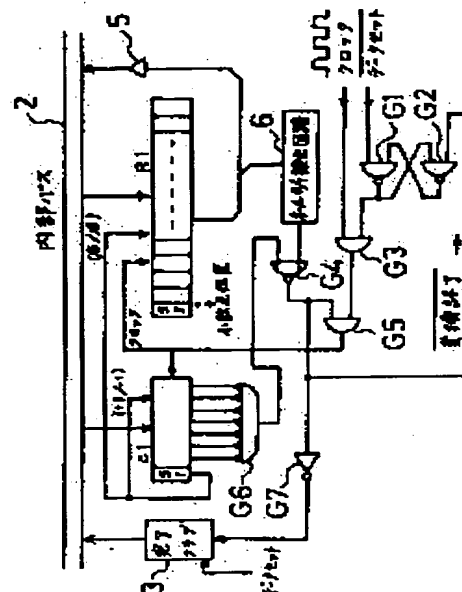
(72)Inventor : KOBAYASHI NOBORU

## (54) FORM CONVERTING CIRCUIT

## (57)Abstract:

PURPOSE: To convert automatically floating point data to fixed point data by providing a counter for the exponent part and a shift register for the mantissa part, and executing the shifting control of the contents of the above-mentioned shift register in accordance with the contents of the above-mentioned counter.

CONSTITUTION: To a counter part C1, the exponent part of the floating point data is set, and to a shift register part R1, the mantissa part is set respectively. When a code bit S1 of the exponent part is 1, a counter C1 continues to count up, and the contents of a shift register R1 are shifted to the right bit by bit for a clock signal. The counter C1 goes to be all '0', and then, a converting action is completed, and the contents of the shift register R1 go to be the fixed point data equivalent to the floating point data set earlier. When the code bit of the exponent part is '0', the counter C1 counts up and the shift register R1 executes the left shifting. When the counter C1 goes to be all '0', the converting is completed, and the converting result is obtained on the shift register R1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-210426

⑬ Int. Cl.

G 06 F 7/00

識別記号

1 0 1

庁内整理番号

7313-5B

⑭ 公開 昭和61年(1986)9月18日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 書式変換回路

⑯ 特 願 昭60-51264

⑰ 出 願 昭60(1985)3月14日

⑱ 発 明 者 小 林 登 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 森 田 寛 外 1 名

# 明 細 書

# 書式変換回路。

## 1. 発明の名称 書式変換回路

## 2. 特許請求の範囲

浮動小数点演算を行い、浮動小数点データの演算結果を固定小数点データに変換するデジタル信号処理プロセッサにおいて、

変換対象となる浮動小数点データの指数部が設定されるカウンタ部(C1)と、

変換対象となる浮動小数点データの仮数部が設定されるシフトレジスタ部(R1)と、

上記カウンタ部(C1)および上記シフトレジスタ部(R1)へのデータセットの信号により、上記カウンタ部(C1)の内容に応じて、上記シフトレジスタ部(R1)の内容を左シフトまたは右シフトする制御を行うシフト制御回路(4)とを備え、

上記カウンタ部(C1)および上記シフトレジスタ部(R1)へ設定された浮動小数点データを、固定小数点データに自動的に変換することを特徴とする

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は書式変換回路、特に浮動小数点演算を行うデジタル信号処理プロセッサ(以下DSPという)において、浮動小数点データを設定すると、自動的にそのデータを固定小数点データに変換し、DSPの演算部において何ら変換のための演算操作を必要としない書式変換回路に関するものである。

(従来の技術と問題点)

第4図は一般的な浮動小数点データの説明図、第5図は従来技術における問題点を説明するための図である。

一般に、電子計算機で扱われる浮動小数点データは、例えば第4図(イ)に示すように、2の巾乗を表す指数部と、有効桁のデータ値を表す仮数部とによって表される。それぞれの先頭ビットS

1. S2は、符号ビットであり、“0”のとき正、“1”のとき負である。例えば、指数部が4ビット、仮数部が12ビットあるとすると、第4図(ロ)図示のように、「0.75×2<sup>-2</sup>」は、指数部が“1101”、仮数部が“011000000000”で表される。

DSPは、例えば音声信号などに関するデータを、ディジタル値で演算処理する場合に用いられる。従来、このような場合に、DSPでは、データを固定小数点の形式でもって演算するのが普通であった。しかし、最近、演算の精度を向上させるために、第4図に示したような浮動小数点の形式で演算を行うことが考えられている。

しかし、DSPにおいて、浮動小数点演算を行う場合、従来、次のような問題があった。

例えば、第5図に示すように、DSP10において演算するデータは、A/D変換器11により、アナログ信号がディジタル信号に変換されて入力される。このデータは、固定小数点の形式をもつ。そのため、DSP10は、予めROM12に記憶

された書式変換プログラム13によって、固定小数点形式のデータを浮動小数点形式に変換し、浮動小数点の形式でもって演算を行う。

この演算結果は、例えばD/A変換器14を経由して出力されるが、D/A変換器14は、固定小数点形式のデータをアナログ信号に変換する。そのため、DSPは、浮動小数点の形式で得られた演算結果を、書式変換プログラム13により、浮動小数点形式から固定小数点形式に変換してから、出力しなければならない。

即ち、従来方式によれば、書式変換プログラム13により、浮動小数点データを固定小数点データに変換しなければならないので、書式変換プログラム13の処理負担が大きく、ダイナミックなステップ数の増大により、処理のスループットが落ちるという問題があった。

また、書式変換プログラム13を用いないで、ハードウェアでもって変換する場合、例えば、DSP10のマイクロ命令として、変換命令を用意することにより、マイクロ命令で処理することが

考えられるが、処理のスループットを上げるためには、命令を並列に処理する機構を設ける必要があり、ハードウェア規模が増加するという問題がある。

#### (問題点を解決するための手段)

本発明は上記問題点の解決を図り、DSPがD/A変換器等に出力する割合が、プロセッサのマシサイクルに比べて長いことに着目し、自動的に演算結果である浮動小数点データを、固定小数点形式のデータに変換する手段を提供する。そのため、本発明の書式変換回路は、第1図に示すように構成される。

第1図は本発明の概要構成、第2図は本発明の制御動作を説明するための図を示す。

第1図において、C1は変換対象となる浮動小数点データの指数部が設定されるカウンタ部、R1は変換対象の仮数部が設定されるシフトレジスタ部、1は浮動小数点演算を行うDSP演算部、2はDSPの内部バス、3は変換の終了を通知す

るための完了フラグ、4はカウンタ部C1のカウンタ動作およびシフトレジスタ部R1のシフト動作を制御するシフト制御回路を表す。

#### (作用)

DSP演算部1が、例えば浮動小数点形式の演算結果をD/A変換器等に出力する場合、その浮動小数点データを、内部バス2を介して、カウンタ部C1およびシフトレジスタ部R1にセットする。なお、カウンタ部C1には浮動小数点データの指数部を、シフトレジスタ部R1には浮動小数点データの仮数部をセットする。このセットするためのマイクロ命令は、例えば通常のロード命令でよい。これにより、以下に詳述するように、シフト制御回路4が動作し、シフトレジスタ部R1上のデータは、自動的に固定小数点データに変換される。従って、所定のサイクルを経過した後に、単にシフトレジスタ部R1上のデータをD/A変換器等に送り込めば、浮動小数点形式の演算結果に相当する固定小数点のデータ値がD/A変換器

等に出力されることになる。

例えば、第2図(イ)に示すように、カウンタ部C1に浮動小数点データの指数部“1101”がセットされ、シフトレジスタ部R1に、その仮数部“011011001011”がセットされると、自動的に変換が開始される。この例では、指数部の符号ビットが“1”であるため、カウンタ部C1はカウントアップの動作を続け、シフトレジスタ部R1の内容は、クロック信号ごとに1ビットずつ右方向へシフトする。カウンタ部C1が、オール0になると、変換動作は終了し、このときのシフトレジスタ部R1の内容は、先にセットした浮動小数点データに相当する固定小数点データになっている。

第2図(ロ)図示の例は、指数部の符号ビットが“0”である場合を示している。このとき、カウンタ部C1は、カウントアップを行い、シフトレジスタ部R1は、左シフトを行うよう制御される。この場合にも、カウンタ部C1の内容がオール0になると、変換が終了し、変換結果がシフトレジスタ部R1上に得られる。

たシフトレジスタ部R1のシフト方向を定める制御信号に用いられる。符号ビットS1が“1”のとき、カウンタ部C1は、クロック信号に同期してカウントアップ動作し、シフトレジスタ部R1は、クロック信号に同期して右シフトの動作を行うようにされる。なお、シフトレジスタ部R1の右シフトにおいて、最上位ビットには、仮数部の符号ビットS2が繰り返される。

一方、指数部の符号ビットS1が“0”である場合には、カウンタ部C1は、クロック信号に同期してカウントダウンするよう制御され、シフトレジスタ部R1は、左シフト動作を行う。

カウンタ部C1の値が、オール0になると、アンドゲートG6の出力がHレベルになる。同様に、シフトレジスタ部R1のデータがオール0の場合にも、オール0/1検出回路6により、オール0が検出されて、その出力がHレベルになる。アンドゲートG6またはオール0/1検出回路6の出力のいずれかがHレベルになると、ノアゲートG4の出力はLレベルになり、アンドゲートG5を

#### (実施例)

第1図に示した実施例は、例えば第3図に示した回路により実現される。

カウンタ部C1に浮動小数点の指数部が設定され、シフトレジスタ部R1に浮動小数点の仮数部が設定されるとき、データセット信号がLレベルになる。ナンドゲートG1およびナンドゲートG2は、制御動作を指示するラッチである。データセット信号がLレベルになることにより、ナンドゲートG1の出力は、Hレベルになり、動作開始が指示される。

ナンドゲートG1の出力がHレベルになると、クロック信号がアンドゲートG3およびアンドゲートG5を経て、カウンタ部C1およびシフトレジスタ部R1に供給される。

カウンタ部C1は、アップ/ダウンカウンタで構成される。カウンタ部C1に設定された指数部の符号ビットS1は、カウンタ部C1のカウントアップ/ダウンを定める制御信号に用いられ、ま

介してのクロック信号の供給が停止される。

このとき、ノットゲートG7を介して、完了フラグ3がセットされ、変換の完了が通知される。また、ナンドゲートG1およびナンドゲートG2によるラッチ出力は、Lレベルになる。なお、完了フラグ3は、フリップフロップで構成され、データセット時にオフ状態にされるが、この回路は、必ずしも必要とされるわけではない。というのは、本実施例の場合、遅くともシフトレジスタ部R1のビット数に相当するマシンサイクルの経過をもって、変換が完了していることを確認できるからである。即ち、オール0/1検出回路6は、固定小数点への変換の完了を早期に検出するために設けられている。

変換の完了後には、シフトレジスタ部R1には、通常の2進数で表された固定小数点データが格納されていることになる。このデータは、必要に応じてバッファ5を経て読み出される。

#### (発明の効果)

以上説明したように、本発明によれば、簡単な回路により、浮動小数点データを固定小数点データに変換することができ、しかも単に浮動小数点データをセットするだけで、自動的にセットしたデータが固定小数点データになるので、変換の操作が極めて容易になる。また、変換するためのマイクロ命令が不要であり、処理のスループットが向上する。例えば、音声信号の処理を行うような通常のデジタル信号処理プロセッサにおいては、マシンサイクルはメガヘルツのオーダーであり、一方、D/A変換器等への出力サイクルは、数キロないし数十キロヘルツであることが多いので、変換においてデータオーバーラン等が生じるおそれもない。

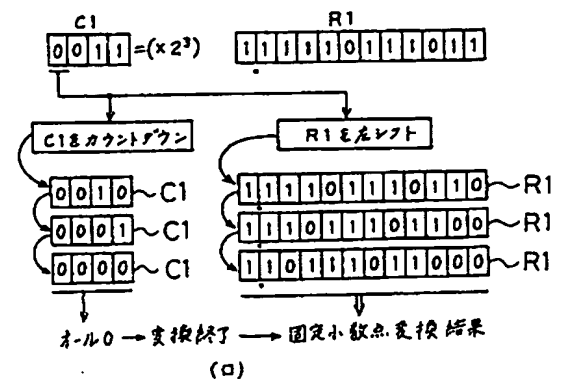
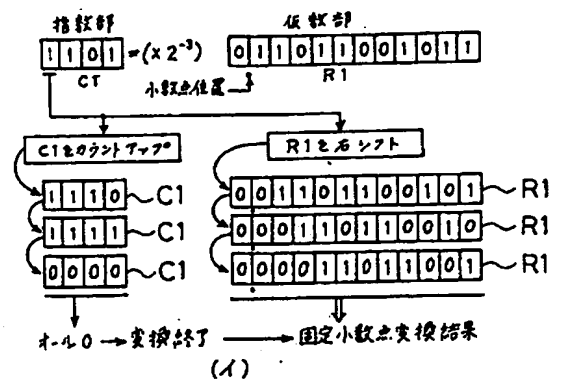
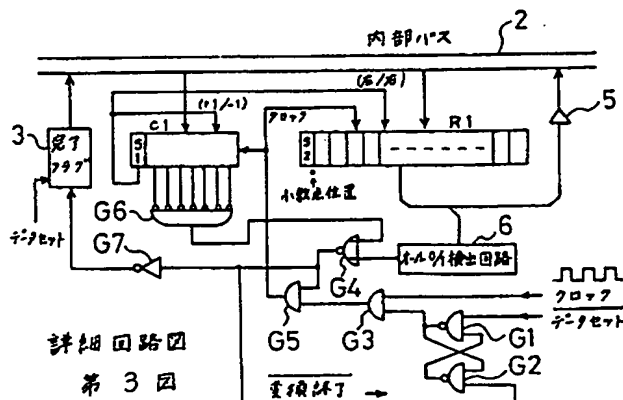
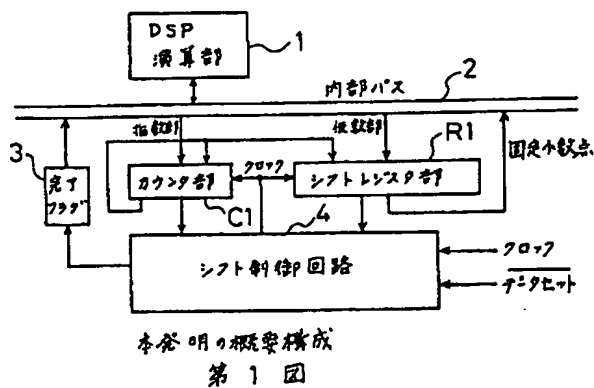
#### 4. 図面の簡単な説明

第1図は本発明の概要構成、第2図は本発明の制御動作を説明するための図、第3図は第1図図示実施例の具体的な詳細回路図、第4図は一般的な浮動小数点データの説明図、第5図は従来技術

における問題点を説明するための図を示す。

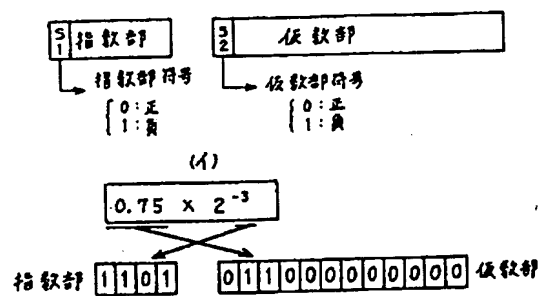
図中、1はDSP演算部、2は内部バス、3は完了フラグ、4はシフト制御回路、C1はカウンタ部、R1はシフトレジスタ部を表す。

特許出願人 富士通株式会社  
代理人弁理士 森田 寛(外1名)



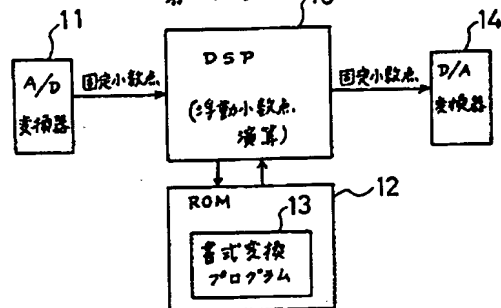
本発明の制御説明図

第2図



浮動小数点データ説明図

第4図



従来技術の説明図

第5図